



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0011208
Application Number

출원년월일 : 2003년 02월 22일
Date of Application
FEB 22, 2003

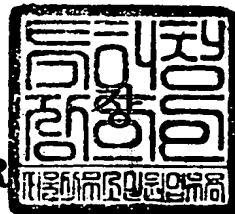
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 15 일

특 허 청

COMMISSIONER





1020030011208

출력 일자: 2003/7/16

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2003.02.22
【국제특허분류】	G09G
【발명의 명칭】	면적을 감소시키는 구조를 가지는 L C D의 소스 구동 회로
【발명의 영문명칭】	Liquid crystal display source driving circuit with structure providing reduced size
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	김도경
【성명의 영문표기】	KIM,Do Kyung
【주민등록번호】	690907-1683016
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 972-2 벽적골 주공아파트 839-801
【국적】	KR
【발명자】	
【성명의 국문표기】	전용원
【성명의 영문표기】	JEON,Yong Weon
【주민등록번호】	651118-1080127



1020030011208

출력 일자: 2003/7/16

【우편번호】	442-707
【주소】	경기도 수원시 팔달구 망포동 벽산아파트 117-1201
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	9 면 9,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	7 항 333,000 원
【합계】	371,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

면적을 감소시키는 구조를 가지는 LCD의 소스 구동 회로가 개시된다. 본 발명에 의한 LCD의 소스 구동 회로는, LCD 패널의 일측단을 따라 배치되고, 제어 회로로부터 수신되는 R, G, B의 색신호들을 포함하는 디지털 영상 신호 및 제어신호들에 응답하여 상기 LCD 패널을 구동하는 소스 구동 회로에 있어서, 복수의 래치 회로들, 복수의 레벨 쉬프터들, 복수의 제1 디코더들, 복수의 제2 디코더들, 복수의 믹스 회로들 및 복수의 앰프들을 구비하는 것을 특징으로 한다.

복수의 래치 회로들은 제어신호들 중 선택 신호와 래치 신호에 응답하여 적어도 두 개의 색신호들 중 어느 하나를 래치하고, N (N 은 1이상의 자연수)비트의 래치 데이터를 출력한다. 복수의 레벨 쉬프터들은 래치 데이터의 전압 레벨을 증가시켜 출력한다. 복수의 제1 디코더들은 복수의 레벨 쉬프터들로부터 출력되는 래치 데이터들에 응답하여, 양극성의 서로 다른 전압 레벨을 가지는 복수의 제1 기준 전압들 중 어느 하나를 출력한다. 복수의 제2 디코더들은 복수의 레벨 쉬프터들로부터 출력되는 래치 데이터들에 응답하여, 음극성의 서로 다른 전압 레벨을 가지는 복수의 제2 기준 전압들 중 어느 하나를 출력한다. 복수의 믹스 회로들은 제어신호들 중 믹스 선택 신호에 응답하여 제1 기준 전압과 제2 기준 전압 중 어느 하나를 출력한다. 복수의 앰프들은 복수의 믹스 회로들로부터 출력되는 제1 기준 전압들과 제2 기준 전압들의 전류량을 증가시켜 아날로그 영상 신호들을 출력한다.

본 발명에 의한 LCD의 소스 구동 회로는 믹스 회로의 기능을 포함하는 래치 회로에 의해 디지털 영상 신호를 선택적으로 래치하여, 소스 수직 채널의 면적을 감소시킬 수 있는 장점이 있다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

면적을 감소시키는 구조를 가지는 LCD의 소스 구동 회로{Liquid crystal display source driving circuit with structure providing reduced size}

【도면의 간단한 설명】

도 1은 일반적인 LCD 장치를 개략적으로 나타내는 블록도이다.

도 2는 종래 기술에 따른 LCD의 소스 구동 회로를 나타내는 블록도이다.

도 3은 도 2에 도시된 래치회로와 먹스회로의 연결 관계를 상세히 나타내는 회로도이다.

도 4는 본 발명의 일실시예에 따른 LCD의 소스 구동 회로를 나타내는 블록도이다.

도 5는 도 4에 도시된 래치 회로를 상세히 나타내는 회로도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 LCD의 구동 회로에 관한 것으로서, 특히, 면적을 감소시키는 구조를 가지는 TFT LCD의 소스 구동 회로에 관한 것이다.

<7> 일반적으로, LCD 장치는 도 1에 도시된 것과 같이, LCD 패널(11), 게이트 구동 회로(12), 소스 구동 회로(13) 및 제어 회로(14)를 포함한다. 상기 LCD 패널(11)은 스위칭 장치로서 TFT(thin film transistor)를 사용하는 픽셀들이 매트릭스 형태로 정렬되어 있다. 상기 LCD 패널(11)의 로우 방향을 따라 다수의 소스 구동 회로들(13)이 배치되고,

칼럼 방향을 따라 다수의 게이트 구동 회로들(12)이 배치된다. 상기 제어 회로(14)는 상기 다수의 게이트 구동 회로들(12)에 클럭 신호(CLK)를 병렬로 전송하고, 상기 다수의 게이트 구동 회로들(12) 중 상기 제어 회로(14)에 가장 근접하여 배치된 게이트 구동 회로(12)에 수직 동기 신호(CLD)를 전송한다.

<8> 또, 상기 제어 회로(14)는 상기 다수의 소스 구동 회로들(13)에 클럭 신호(CLK), 디지털 영상 신호(R, G, B), 래치 신호(CLA), 극성 신호(POL)를 전송하고, 상기 다수의 소스 구동 회로들(13) 중 상기 제어 회로(14)에 가장 근접하여 배치된 소스 구동 회로(13)에 스타트 펄스 신호(SP)를 전송한다.

<9> 상기 게이트 구동 회로(12)는 상기 LCD 패널(11)의 TFT에 소정의 제1 바이어스 전압을 인가하여 상기 TFT를 턴 온시킨다. 상기 TFT가 턴 온된 상태에서, 상기 소스 구동 회로(13)에 의해 인가되는 소정의 구동 전압에 의해 상기 픽셀들에 액정 부하 용량(liquid crystal load capacitance)이 충전된다.

<10> 이 후, 상기 게이트 구동 회로(12)에 의해 인가되는 소정의 제2 바이어스 전압에 의해 상기 TFT가 턴 오프 되고, 상기 픽셀들에 충전된 전하가 유지된다.

<11> 상기 LCD 패널(11)은 1024 × 768 픽셀을 가지며 칼라형인 XGA(eXtended Graphics Array)인 경우, 8 내지 10개의 384 출력을 갖는 소스 구동 회로들이 필요하다.

<12> 여기에서, 종래의 소스 구동 회로의 일예가 미국 특허 공보 제6,008,801호에 기재되어 있다. 이러한, 종래의 소스 구동 회로를 도 2 및 도 3을 참고하여 상세히 설명하면 다음과 같다.

<13> 먼저, 도 2는 종래 기술에 따른 LCD의 소스 구동 회로를 나타내는 블록도이다.

- <14> 도 2와 같이, 종래 기술에 따른 LCD의 소스 구동 회로(100)는 쉬프트 레지스터부(101), 래치 회로부(102), 제1 믹스 회로부(103), 레벨 쉬프터부(104), 디코더부(105), 제2 믹스 회로부(106) 및 앰프부(107)를 포함한다.
- <15> 상기 쉬프트 레지스터부(101)는 복수의 쉬프트 레지스터들(SL1~SLK)(K는 1이상의 자연수)을 포함하고, 제어 회로(도 1의 14 참조)로부터 래치 신호(CLA)를 수신하고 복수의 래치 신호들(EN1~EN2K)을 출력한다.
- <16> 상기 래치 회로부(102)는 복수의 래치 회로들(LA1~LA3K)을 포함하고, 상기 복수의 래치 신호들(EN1~EN2K)에 응답하여, 디지털 영상 신호를 래치한다. 상기 디지털 영상 신호는 6비트씩의 R신호, G신호, B신호를 포함하는 18비트의 디지털 데이터 신호이다.
- <17> 상기 레벨 쉬프터부(104)는 복수의 레벨 쉬프터들(LS1~LS3K)을 포함하고, 상기 래치된 상기 R, G, B 신호들의 전압 레벨이 상기 디코더부(105)에서 인식할 수 있는 전압 범위내에 포함될 수 있도록 레벨을 증가시켜 출력한다.
- <18> 상기 디코더부(105)는 복수의 제1 디코더들(PD1~PD2K)과, 복수의 제2 디코더들(ND1~ND2K)을 포함한다. 상기 복수의 제1 디코더들(PD1~PD2K)에는 + 극성을 가지는 64 레벨의 제1 기준 전압들(미도시)이 입력되고, 상기 복수의 제2 디코더들(ND1~ND2K)에는 - 극성을 가지는 64 레벨의 제2 기준 전압들(미도시)이 입력된다.
- <19> 상기 복수의 제1 디코더들(PD1~PD2K)은 상기 R, G, B 신호들에 응답하여 + 극성을 가지는 64 레벨의 상기 제1 기준 전압들 중 하나를 선택하여 출력한다. 상기 복수의 제2 디코더들(ND1~ND2K)은 상기 R, G, B 신호들에 응답하여 - 극성을 가지는 64 레벨의 상기 제2 기준 전압들 중 하나를 선택하여 출력한다. 그 결과, 상기 제1 디코더들(PD1~

PD2K)과 상기 제2 디코더들(ND1~ND2K)에서는 아날로그 영상 신호(R1G1B1~RKGKBK)가 출력된다.

<20> 상기 앰프부(107)는 복수의 앰프 회로들(A1~A3K)을 포함하고, 상기 복수의 앰프 회로들(A1~A3K)은 상기 아날로그 영상 신호(R1G1B1~RKGKBK)의 전압 레벨은 그대로 유지한 채 전류량을 증가시켜 출력한다.

<21> 여기에서, 도 2의 점선 블록(C, D)으로 표시된 것과 같이, 상기 소스 구동 회로(100)로부터 최종적으로 출력되는 상기 아날로그 영상 신호(R1G1B1~RKGKBK)의 극성은 교번적으로 변경되어야 한다.

<22> 그 이유는, LDC 패널(도 1의 11 참고)에 동일한 극성의 제1 전압이 연속하여 인가된 후, 상기 제1 전압과 전압 레벨이 다른 제2 전압이 인가될 때, 액정의 고착화 현상으로 인해 액정이 상기 제2 전압에 반응하지 않기 때문이다. 따라서, 상기 소스 구동 회로(100)는 상기 제어 회로(14)로부터 출력되는 극성 신호(POL)에 따라 상기 점선 블록(C)으로 표시된 상기 아날로그 영상 신호(R1+G1-B1+~RK-GK+BK-)를 출력하거나 또는 상기 점선 블록(D)으로 표시된 상기 아날로그 영상 신호(R1-G1+B1-~RK+GK-BK+)를 출력한다.

<23> 또, 상기 LCD의 소스 구동 회로(100)로부터 출력되는 상기 아날로그 영상 신호(R1G1B1~RKGKBK)는 도 2의 점선 블록(C, D)으로 표시된 것과 같이, R신호, G신호, B신호의 순서로 출력되어야 한다.

- <24> 따라서, 극성을 교번적으로 변경시키면서, R신호, G신호, B신호의 순서로 상기 아날로그 영상 신호(R1G1B1~RKGBK)를 출력시키기 위해, 종래 기술에 따른 LCD의 소스 구동 회로(100)는 상기 제1 먹스 회로부(103)와 상기 제2 먹스 회로부(106)를 포함한다.
- <25> 상기 제1 먹스 회로부(103)는 복수의 먹스 회로들(M1~M3K)을 포함하고, 상기 제2 먹스 회로부(106)는 복수의 먹스 회로들(DM1~DM3K)을 포함한다.
- <26> 여기에서, 상기 제1 먹스 회로부(103)와 상기 래치 회로부(102)의 구성 및 동작을 도 3을 참고하여 좀 더 상세히 설명하면 다음과 같다.
- <27> 도 3은 상기 디지털 영상 신호인, R 신호 및 G 신호에 따라 상기 아날로그 영상 신호인, R1 신호 및 G1 신호를 출력하는 두 개의 소스 수직 채널(LA1~A1, LA2~A2)에서, 상기 먹스 회로들(M1, M2)과 상기 래치 회로들(LA1, LA2)의 연결 관계를 나타낸다.
- <28> 도 3과 같이, 상기 래치 회로(LA1)는 종속적으로 연결되는 제1 래치 회로(110)와 제2 래치 회로(120)를 포함하고, 상기 래치 회로(LA2) 역시 종속적으로 연결되는 제1 래치 회로(130)와 제2 래치 회로(140)를 포함한다.
- <29> 상기 제1 래치 회로(110)는 전송 게이트(111)와 래치부(112)를 포함하고, 상기 래치부(112)는 인버터들(113, 114), PMOS 트랜지스터(P1) 및 NMOS 트랜지스터(N1)를 포함한다. 상기 전송 게이트(111)의 NMOS 트랜지스터와 상기 래치부(112)의 PMOS 트랜지스터(P1)의 게이트에 래치 신호(EN1)가 입력된다. 또, 상기 전송 게이트(111)의 PMOS 트랜지스터와 상기 래치부(112)의 NMOS 트랜지스터(N1)의 게이트에 래치 신호(EN1B)가 입력된다. 상기 전송 게이트(111)의 출력단에는 상기 인버터들(113, 114)이 종속적으로 연결된다. 또, 상기 PMOS 트랜지스터(P1)의 소스와 상기 NMOS 트랜지스터(N1)

의 드레인은 상기 인버터(113)의 입력에 연결되고, 상기 PMOS 트랜지스터(P1)의 드레인과 상기 NMOS 트랜지스터(N1)의 소스는 상기 인버터(114)의 출력에 연결된다.

<30> 여기에서, 상기 제1 래치 회로(130)와 상기 제2 래치 회로들(120, 140)의 구성은 상기 제1 래치 회로(110)와 동일하므로 이에 대한 상세한 설명을 생략하기로 한다. 다만, 상기 제2 래치 회로들(120, 140)에는 상기 래치 신호(EN1, EN1B) 대신 래치 신호(EN2, EN2B)가 입력되는 차이점이 있다.

<31> 상기 맥스 회로(M1)는 두 개의 전송 게이트들(151, 152)을 포함하고, 상기 맥스 회로(M2) 역시 두 개의 전송 게이트들(161, 162)을 포함한다. 상기 전송 게이트들(151, 152, 161, 162)은 선택 신호(SEL, SELB)에 의해 턴 온 또는 턴 오프 제어된다.

<32> 상기 전송 게이트들(151, 162)의 입력단은 상기 제2 래치 회로(120)의 출력단에 연결되고, 상기 전송 게이트들(152, 161)의 입력단은 상기 제2 래치 회로(140)의 출력단에 연결된다.

<33> 상기와 같이 구성된 상기 래치 회로들(LA1, LA2)과 상기 맥스 회로들(M1, M2)의 동작을 좀 더 상세히 살펴보면 다음과 같다.

<34> 먼저, 상기 래치 신호(EN1, EN1B)가 인에이블 됨에 따라, 상기 전송 게이트(111)와 상기 전송 게이트(131)가 턴 온된다. 상기 전송 게이트(111)는 R 신호를 수신하여 상기 래치부(112)에 출력하고, 상기 전송 게이트(131)는 G 신호를 수신하여 상기 래치부(132)에 출력한다. 이 후, 상기 래치 신호(EN1, EN1B)가 디세이블 되고, 상기 전송 게이트들(111, 131)이 턴 오프 된다.

- <35> 또, 상기 래치 신호(EN1, EN1B)가 디세이블 됨에 따라, 상기 래치부(112)의 상기 PMOS 트랜지스터(P1)와 상기 NMOS 트랜지스터(N1)가 턴 온되고, 상기 래치부(132)의 상기 PMOS 트랜지스터(P3)와 상기 NMOS 트랜지스터(N3)가 턴 온된다.
- <36> 상기 래치부(112)는 상기 R 신호를 래치하여 저장하고, 상기 래치부(132)는 상기 G 신호를 래치하여 저장한다.
- <37> 상기 래치 신호(EN1, EN1B)가 다시 인에이블될 때, 상기 래치부들(112, 132)의 상기 PMOS 트랜지스터들(P1, P3)과 상기 NMOS 트랜지스터들(N1, N3)이 턴 오프된다.
- <38> 다음으로, 상기 래치 신호(EN2, EN2B)가 인에이블 되면, 상기 전송 게이트(121)와 상기 전송 게이트(141)가 턴 온된다. 상기 전송 게이트(121)는 상기 래치부(112)로부터 출력되는 상기 R 신호를 래치부(122)에 출력한다. 상기 전송 게이트(141)는 상기 래치부(132)로부터 출력되는 상기 G 신호를 래치부(142)에 출력한다.
- <39> 이 후, 상기 래치 신호(EN2, EN2B)가 디세이블 되고, 상기 전송 게이트들(121, 141)이 턴 오프된다. 또, 상기 래치 신호(EN2, EN2B)가 디세이블 됨에 따라, 상기 래치부들(122, 142)의 PMOS 트랜지스터들(P2, P4)과 상기 NMOS 트랜지스터들(N2, N4)이 턴 온된다. 상기 래치부(122)는 상기 R 신호를 래치하여 저장하고, 상기 래치부(142)는 상기 G 신호를 래치하여 저장한다.
- <40> 상기 래치 신호(EN2, EN2B)가 다시 인에이블 될 때, 상기 래치부들(122, 142)의 PMOS 트랜지스터들(P2, P4)과 상기 NMOS 트랜지스터들(N2, N4)이 턴 오프된다.
- <41> 다음으로, 제어 회로(도 1의 14 참조)가 하이 레벨의 극성 신호(POL)를 출력할 때, 상기 선택 신호(SEL, SELB)가 인에이블 된다. 상기 선택 신호(SEL, SELB)에 응답하여 상

기 믹스 회로(M1, M2)의 상기 전송 게이트들(151, 161)이 턴 온된다. 상기 전송 게이트(151)는 상기 래치부(122)로부터 출력되는 상기 R 신호를 출력하고, 상기 전송 게이트(161)는 상기 래치부(142)로부터 출력되는 상기 G 신호를 출력한다.

<42> 여기에서, 상기 극성 신호(POL)가 로우 레벨일 때, 상기 선택 신호(SEL, SELB)가 디세이블 된다. 그 결과, 상기 전송 게이트들(152, 162)이 턴 온된다. 상기 전송 게이트(152)는 상기 래치부(142)로부터 출력되는 상기 G 신호를 출력하고, 상기 전송 게이트(162)가 상기 래치부(122)로부터 출력되는 상기 R 신호를 출력한다.

<43> 상기와 같이, 종래 기술에 따른 LCD의 소스 구동 회로(100)에서는 + 극성과 - 극성을 교번적으로 변경시키면서, R 신호, G 신호, B 신호의 순서로 상기 아날로그 영상 신호들(R1G1B1~RKGKBK)을 출력하기 위해, 상기 제1 믹스 회로부(103)와 상기 제2 믹스 회로부(106)가 필요하다. 그 결과, LCD의 소스 구동 회로에서 소스 수직 채널의 면적이 증가된다. 상기 소스 수직 채널의 면적이 증가됨에 따라 반도체 칩내에서 활용 가능한 면적이 감소된다.

<44> 또, 도 3과 같이, 상기 래치 신호(EN1, EN1B)는 전송 게이트들(111, 131)과 래치부들(112, 132)에 동시에 인가된다. 여기에서, 상기 R 신호, 상기 G 신호, 상기 B 신호가 각각 6비트의 디지털 데이터이므로 상기 래치 신호(EN1, EN1B)는 총 18개의 전송 게이트들 및 래치부들의 동작을 제어해야 한다. 그 결과, 상기 래치 신호(EN1, EN1B)에 걸리는 부하가 커지는 단점도 있다.

【발명이 이루고자 하는 기술적 과제】

<45> 본 발명이 이루고자하는 기술적 과제는, 믹스 회로의 기능을 포함하는 래치 회로에 의해 디지털 영상 신호를 선택적으로 래치하여, 소스 수직 채널의 면적을 감소시키는 LCD의 소스 구동 회로를 제공하는데 있다.

【발명의 구성 및 작용】

<46> 상기 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 LCD의 소스 구동 회로는, LCD 패널의 일측단을 따라 배치되고, 제어 회로로부터 수신되는 R, G, B의 색신호들을 포함하는 디지털 영상 신호 및 제어신호들에 응답하여 상기 LCD 패널을 구동하는 소스 구동 회로에 있어서, 복수의 래치 회로들, 복수의 레벨 쉬프터들, 복수의 제1 디코더들, 복수의 제2 디코더들, 복수의 믹스 회로들 및 복수의 앰프들을 구비하는 것을 특징으로 한다.

<47> 복수의 래치 회로들은 제어신호들 중 선택 신호와 래치 신호에 응답하여 적어도 두 개의 색신호들 중 어느 하나를 래치하고, N (N 은 1이상의 자연수)비트의 래치 데이터를 출력한다. 복수의 레벨 쉬프터들은 래치 데이터의 전압 레벨을 증가시켜 출력한다. 복수의 제1 디코더들은 복수의 레벨 쉬프터들로부터 출력되는 래치 데이터들에 응답하여, 양극성의 서로 다른 전압 레벨을 가지는 복수의 제1 기준 전압들 중 어느 하나를 출력한다. 복수의 제2 디코더들은 복수의 레벨 쉬프터들로부터 출력되는 래치 데이터들에 응답하여, 음극성의 서로 다른 전압 레벨을 가지는 복수의 제2 기준 전압들 중 어느 하나를 출력한다. 복수의 믹스 회로들은 제어신호들 중 믹스 선택 신호에 응답하여 제1 기준 전압과 제2 기준 전압 중 어느 하나를 출력한다. 복수의 앰프들은 복수의 믹스 회

로들로부터 출력되는 제1 기준 전압들과 제2 기준 전압들의 전류량을 증가시켜 아날로그 영상 신호들을 출력한다.

<48> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<49> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<50> 도 4는 본 발명의 일실시예에 따른 LCD의 소스 구동 회로를 나타내는 블록도이다.

<51> 도 4와 같이, 본 발명의 일실시예에 따른 LCD의 소스 구동 회로(200)는 쉬프트 레지스터부(201), 래치 회로부(202), 레벨 쉬프터부(203), 디코더부(204), 믹스 회로부(205) 및 앰프부(206)를 포함한다.

<52> 상기 쉬프트 레지스터부(201)는 복수의 쉬프트 레지스터들(SL1~SLP)(P는 1이상의 자연수)을 포함하고, 제어 회로(도 1의 14 참조)로부터 래치 신호(CLA)를 수신하고 복수의 래치 신호들(LE1~LE2P)을 출력한다.

<53> 상기 래치 회로부(202)는 소정의 선택 신호들(S1, S2)과 상기 복수의 래치 신호들(LE1~LE2P)에 응답하여 디지털 영상 신호를 래치한다. 상기 디지털 영상 신호는 R, G, B의 색신호들을 포함한다. 상기 래치 회로부(202)는 N(N은 1이상의 자연수)비트씩의 상기 R, G, B 색신호들을 각각 래치하는 복수의 래치 회로들(MLA1~MLA3P)을 포함한다. 여기서, 상기 복수의 래치 회로들(MLA1~MLA3P) 각각은 소정의 선택 신호들(S1, S2)

및 상기 복수의 래치 신호들(LE1~LE2P)에 응답하여 두 개의 디지털 영상 신호들 중 하나를 래치한다.

<54> 이를 좀 더 구체적으로 설명하면, 상기 래치 회로들(MLA1, MLA2) 각각은 상기 선택 신호들(S1, S2) 및 상기 래치 신호들(LE1, LE2)에 응답하여 상기 R, G 신호들 중 하나를 각각 래치한다. 여기에서, 상기 래치 회로(MLA1)가 상기 R 신호를 래치할 때, 상기 래치 회로(MLA2)는 상기 G 신호를 래치한다. 또, 상기 래치 회로(MLA1)가 상기 G 신호를 래치할 때, 상기 래치 회로(MLA2)는 상기 R 신호를 래치한다.

<55> 상기 래치 회로들(MLA3, MLA4) 각각은 상기 선택 신호들(S1, S2) 및 상기 래치 신호들(LE1~LE4)에 응답하여 상기 B, R 신호들 중 하나를 래치한다. 상기 래치 회로들(MLA3, MLA4)은 서로 다른 신호를 각각 래치한다. 즉, 상기 래치 회로(MLA3)가 상기 B 신호를 래치할 때, 상기 래치 회로(MLA4)는 상기 R 신호를 래치한다. 또, 상기 래치 회로(MLA3)가 상기 R 신호를 래치할 때, 상기 래치 회로(MLA4)는 상기 B 신호를 래치한다.

<56> 상기 래치 회로들(MLA5, MLA6) 각각은 상기 선택 신호들(S1, S2) 및 상기 래치 신호들(LE3, LE4)에 응답하여 상기 G, B 신호들 중 하나를 래치한다. 상기 래치 회로들(MLA5, MLA6)은 서로 다른 신호를 각각 래치한다. 즉, 상기 래치 회로(MLA5)가 상기 G 신호를 래치할 때, 상기 래치 회로(MLA6)는 상기 B 신호를 래치한다. 또, 상기 래치 회로(MLA5)가 상기 B 신호를 래치할 때, 상기 래치 회로(MLA6)는 상기 G 신호를 래치한다.

<57> 상기과 같이, 상기 복수의 래치 회로들(MLA1~MLA3P)은 두 개의 색신호들, 즉, RG, BR, GB 색신호들을 각각 래치하는 세 개의 그룹들로 구분된다.

- <58> 상기 레벨 쉬프터부(203)는 복수의 레벨 쉬프터들(LS1~LS3P)을 포함한다. 상기 복수의 레벨 쉬프터들(LS1~LS3P)은 상기 복수의 래치 회로들(MLA1~MLA3P)에 의해 래치된 N비트의 상기 R, G, B 신호들의 전압 레벨이 상기 디코더부(204)에서 인식할 수 있는 전압 범위내에 포함될 수 있도록 상기 R, G, B 신호들의 전압 레벨을 증가시켜 출력한다.
- <59> 상기 디코더부(204)는 복수의 제1 디코더들(PD1~PD2P)과 복수의 제2 디코더들(ND1~ND2P)을 포함한다. 점유 면적을 줄이기 위해, 도 4에 도시된 것과 같이, 상기 복수의 제1 디코더들(PD1~PD2P)과 상기 복수의 제2 디코더들(ND1~ND2P)은 두 개씩 상호 교번적으로 배치된다.
- <60> 상기 복수의 제1 디코더들(PD1~PD2P)에는 + 극성을 가지는 64 레벨의 제1 기준 전압들(미도시)이 입력되고, 상기 복수의 제2 디코더들(ND1~ND2P)에는 - 극성을 가지는 64 레벨의 제2 기준 전압들(미도시)이 입력된다.
- <61> 상기 복수의 제1 디코더들(PD1~PD2P)은 상기 복수의 레벨 쉬프터들(LS1~LS3P)로부터 출력되는 상기 N비트의 디지털 영상 신호 R, G, B에 응답하여 + 극성을 가지는 64 레벨의 상기 제1 기준 전압들 중 하나를 선택하여 출력한다. 상기 복수의 제2 디코더들(ND1~ND2P)은 상기 복수의 레벨 쉬프터들(LS1~LS3P)로부터 출력되는 상기 N비트의 디지털 영상 신호 R, G, B에 응답하여 - 극성을 가지는 64 레벨의 상기 제2 기준 전압들 중 하나를 선택하여 출력한다. 그 결과, 상기 제1 디코더들(PD1~PD2P)과 상기 제2 디코더들(ND1~ND2P)에서는 아날로그 영상 신호(R1G1B1~RPGPBP)가 출력된다.

- <62> 상기 앰프부(107)는 복수의 앰프 회로들(A1~A3P)을 포함하고, 상기 복수의 앰프 회로들(A1~A3P)은 상기 아날로그 영상 신호(R1G1B1~RPGPBP)의 전압 레벨은 그대로 유지한 채 전류량을 증가시켜 출력한다.
- <63> 여기에서, 상기 래치 회로, 레벨 쉬프터, 제1 디코더, 믹스 회로 및 앰프 회로에 의해 제1 소스 수직 채널이 형성되고, 래치 회로, 레벨 쉬프터, 제2 디코더, 믹스 회로 및 앰프 회로에 의해 제2 소스 수직 채널이 형성된다. 상기 소스 구동 회로(100)에서 상기 제1 소스 수직 채널과 상기 제2 소스 수직 채널이 상호 교번적으로 배치된다.
- <64> 도 4의 점선 블록(E, F)으로 표시된 것과 같이, 상기 소스 구동 회로(100)로부터 최종적으로 출력되는 상기 아날로그 영상 신호(R1G1B1~RPGPBP)의 극성은 교번적으로 변경된다.
- <65> 도 5는 도 4에 도시된 래치 회로를 상세히 나타내는 회로도로서, 두 개의 소스 수직 채널에 대한 래치 회로들(MLA1, MLA2)만이 도시된다.
- <66> 도 5와 같이, 상기 래치 회로(MLA1)는 종속적으로 연결되는 제1 래치 회로(210)와 제2 래치 회로(240)를 포함하고, 상기 래치 회로(MLA2) 역시 종속적으로 연결되는 제1 래치 회로(250)와 제2 래치 회로(280)를 포함한다.
- <67> 여기에서, 상기 래치 회로들(MLA1, MLA2)이 각각 두 개의 래치 회로들을 포함하는 이유는, 차기 디스플레이될 디지털 영상 데이터들을 래치하기 위함이다.
- <68> 상기 제1 래치 회로(210)는 게이트부(220)와 래치부(230)를 포함한다. 상기 게이트부(220)는 복수의 전송 게이트들(221, 222)을 포함하고, 상기 래치부(230)는 인버터들(231, 232), PMOS 트랜지스터(P11) 및 NMOS 트랜지스터(N11)를 포함한다.

- <69> 상기 전송 게이트(221)는 소정의 제1 선택 신호(S1, S1B)에 응답하여 R 신호를 수신하여 출력한다. 상기 전송 게이트(222)는 소정의 제2 선택 신호(S2, S2B)에 응답하여 G 신호를 수신하여 출력한다.
- <70> 여기에서, 상기 제1 및 상기 제2 선택 신호들(S1, S1B, S2, S2B)은 도시되지 않은 별도의 제어 회로에 의해 발생된다.
- <71> 상기 전송 게이트들(221, 222)의 출력단에는 상기 인버터들(231, 232)이 종속적으로 연결된다. 또, 상기 PMOS 트랜지스터(P11)의 소스와 상기 NMOS 트랜지스터(N11)의 드레인은 상기 인버터(231)의 입력에 연결되고, 상기 PMOS 트랜지스터(P11)의 드레인과 상기 NMOS 트랜지스터(N11)의 소스는 상기 인버터(232)의 출력에 연결된다. 상기 PMOS 트랜지스터(P11)의 게이트에는 래치 신호(LE1)가 입력되고, 상기 NMOS 트랜지스터(N11)의 게이트에는 래치 신호(LE1B)가 입력된다.
- <72> 상기 제2 래치 회로(240)는 전송 게이트(241)와 래치부(242)를 포함한다. 상기 래치부(242)는 인버터들(243, 244), PMOS 트랜지스터(P12) 및 NMOS 트랜지스터(N12)를 포함한다.
- <73> 상기 전송 게이트(241)의 NMOS 트랜지스터와 상기 래치부(242)의 상기 PMOS 트랜지스터(P12)의 게이트에 래치 신호(LE2)가 입력된다. 또, 상기 전송 게이트(241)의 PMOS 트랜지스터와 상기 래치부(242)의 상기 NMOS 트랜지스터(N12)의 게이트에 래치 신호(LE2B)가 입력된다. 상기 전송 게이트(241)의 출력단에는 상기 인버터들(243, 244)이 종속적으로 연결된다.

- <74> 또, 상기 PMOS 트랜지스터(P12)의 소스와 상기 NMOS 트랜지스터(N12)의 드레인은 상기 인버터(243)의 입력에 연결되고, 상기 PMOS 트랜지스터(P12)의 드레인과 상기 NMOS 트랜지스터(N12)의 소스는 상기 인버터(244)의 출력에 연결된다.
- <75> 다음으로, 상기 래치 회로(MLA2)의 상기 제1 래치 회로(250)는 게이트부(260)와 래치부(270)를 포함한다. 상기 게이트부(260)는 복수의 전송 게이트들(261, 262)을 포함하고, 상기 래치부(270)는 인버터들(271, 272), PMOS 트랜지스터(P13) 및 NMOS 트랜지스터(N13)를 포함한다.
- <76> 상기 전송 게이트(262)는 상기 제2 선택 신호(S2, S2B)에 응답하여 상기 R 신호를 수신하여 출력한다. 상기 전송 게이트(261)는 상기 제1 선택 신호(S1, S1B)에 응답하여 상기 G 신호를 수신하여 출력한다.
- <77> 상기 래치부(270)와 상기 제2 래치 회로(280)는 상기 래치부(230)와 상기 제2 래치 회로(240)의 구성과 동일하므로 상세한 설명은 생략한다.
- <78> 상기와 같이 구성된 본 발명의 일실시예에 따른 래치 회로의 동작을 도 5를 참고하여 설명하면 다음과 같다.
- <79> 상기 제1 선택 신호(S1, S1B)가 인에이블 될 때, 상기 전송 게이트(221)와 상기 전송 게이트(261)가 턴 온된다. 또, 상기 제2 선택 신호(S2, S2B)가 인에이블 될 때, 상기 전송 게이트(222)와 상기 전송 게이트(262)가 턴 온된다.
- <80> 도 5에서는 상기 제2 선택 신호(S2, S2B)가 인에이블 되고, 상기 제1 선택 신호(S1, S1B)가 디세이블 되는 경우를 예를 들어 설명하기로 한다.

- <81> 먼저, 상기 제2 선택 신호(S2, S2B)가 인에이블 되고, 래치 신호(LE1, LE1B)가 인에이블 된다. 상기 제2 선택 신호(S2, S2B)에 응답하여, 상기 전송 게이트(222)가 턴 온되어 상기 G 신호를 출력하고, 상기 전송 게이트(262)가 턴 온되어 상기 R 신호를 출력한다.
- <82> 또, 상기 래치 신호(LE1, LE1B)가 인에이블 될 때, 상기 래치부(230)가 상기 G 신호를 래치하고, 상기 래치부(270)는 상기 R 신호를 래치한다. 이 후, 상기 제2 선택 신호(S2, S2B)가 디세이블 되어, 상기 전송 게이트들(222, 262)이 턴 오프된다.
- <83> 다음으로, 상기 래치 신호(LE2, LE2B)가 인에이블 되고, 상기 래치 신호(LE1, LE1B)가 디세이블 된다. 상기 래치 신호(LE2, LE2B)에 응답하여, 상기 전송 게이트들(241, 281)이 턴 온된다.
- <84> 또, 상기 래치 신호(LE1, LE1B)에 응답하여, 상기 래치부들(230, 270)의 PMOS 트랜지스터들(P11, P13)과 NMOS 트랜지스터들(N11, N13)이 턴 오프된다.
- <85> 상기 전송 게이트(241)는 상기 래치부(230)로부터 상기 G 신호를 수신하여 출력하고, 상기 전송 게이트(281)는 상기 래치부(270)로부터 상기 R 신호를 수신하여 출력한다.
- <86> 다음으로, 상기 래치 신호(LE2, LE2B)가 디세이블 되어, 상기 전송 게이트들(241, 281)이 턴 오프되고, 상기 래치부들(242, 282)의 PMOS 트랜지스터들(P12, P14)과 NMOS 트랜지스터들(N12, N14)이 턴 온된다.
- <87> 상기 래치부(242)는 상기 전송 게이트(241)로부터 출력되는 상기 G 신호를 래치하고, 상기 래치부(282)는 상기 전송 게이트(281)로부터 출력되는 상기 R 신호를

래치한다. 이 후, 상기 래치 신호(LE2, LE2B)가 소정의 클럭 신호(미도시)에 동기하여 다시 인에이블 될 때, 상기 래치부들(242, 282)은 래치된 상기 G, R 신호를 각각 출력한다.

<88> 다음으로, 상기 제1 선택 신호(S1, S1B)가 인에이블 되고, 상기 제2 선택 신호(S2, S2B)가 디세이블 될 때의 상기 래치 회로들(MLA1, MLA2)에 대한 동작 설명은 상술한 동작과 유사하므로 생략된다. 다만, 상술한 동작과의 차이점은 상기 래치 회로(MLA1)가 상기 R 신호를 출력하고, 상기 래치 회로(MLA2)가 상기 B 신호를 출력한다는 점이다.

<89> 상기와 같이, 본 발명의 일실시예에 따른 LCD의 소스 구동 회로(200)는 상기 래치 회로들(MLA1, MLA2)이 먹스 회로의 기능과 래치 회로의 기능을 모두 포함하기 때문에, 별도의 먹스 회로를 포함하지 않아도 된다. 그 결과, LCD의 소스 구동 회로(200)에서, 소스 수직 채널의 면적이 감소되어, 반도체 칩내에서 상기 소스 수직 채널 이외의 영역에 대한 효율적인 면적 활용이 가능해 진다.

<90> 한편, 본 발명에 의한 LCD 소스 구동 회로(200)에서는 도 5에 도시된 것과 같이, 게이트부들(220, 260)의 동작을 제어하는 선택 신호들(S1, S1B, S2, S2B)이 필요하다. 상기 선택 신호들(S1, S1B, S2, S2B)은 도시되지 않은 별도의 제어회로에 의해 발생된다. 여기에서, 상기 제어회로는 반도체 칩내에서 상당한 면적을 차지하는 어레이 구조의 상기 소스 수직 채널과는 달리, 분산적으로 배치될 수 있기 때문에, 반도체 칩내에서 면적 활용에 제한적인 영향을 주지는 않는다.

<91> 또한, 본 발명의 일실시예에 따른 LCD 소스 구동 회로(200)에서는 상기 선택 신호들(S1, S1B, S2, S2B)에 의해 상기 게이트부들(220, 260)이 턴 온 또는 턴 오프 제어된다. 그 결과, 종래 기술(도 3참조)에서 전송 게이트들(111, 131)과 래치부들(112, 132)

이 모두 래치 신호(EN1B, EN1)에 의해 제어되는 것에 비하여, 상기 래치 신호(LE1, LE1B)에 걸리는 부하가 감소될 수 있다.

<92> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<93> 상기한 것과 같이, 본 발명의 일실시예에 따른 LCD의 소스 구동 회로에 의하면, 먹스 회로의 기능을 포함하는 래치 회로에 의해 디지털 영상 신호를 선택적으로 래치하여, 소스 수직 채널의 면적을 감소시킬 수 있는 효과가 있다.

【특허청구범위】

【청구항 1】

LCD 패널의 일측단을 따라 배치되고, 제어 회로로부터 수신되는 R, G, B의 색신호들을 포함하는 디지털 영상 신호 및 제어신호들에 응답하여 상기 LCD 패널을 구동하는 소스 구동 회로에 있어서,

상기 제어신호들 중 선택 신호와 래치 신호에 응답하여 적어도 두 개의 상기 색신호들 중 어느 하나를 래치하고, N(N은 1이상의 자연수)비트의 래치 데이터를 출력하는 복수의 래치 회로들;

상기 래치 데이터의 전압 레벨을 증가시켜 출력하는 복수의 레벨 쉬프터들;

상기 복수의 레벨 쉬프터들로부터 출력되는 상기 래치 데이터들에 응답하여, 양극성의 서로 다른 전압 레벨을 가지는 복수의 제1 기준 전압들 중 어느 하나를 출력하는 복수의 제1 디코더들;

상기 복수의 레벨 쉬프터들로부터 출력되는 상기 래치 데이터들에 응답하여, 음극성의 서로 다른 전압 레벨을 가지는 복수의 제2 기준 전압들 중 어느 하나를 출력하는 복수의 제2 디코더들;

상기 제어신호들 중 맥스 선택 신호에 응답하여 상기 제1 기준 전압과 상기 제2 기준 전압 중 어느 하나를 출력하는 복수의 맥스 회로들; 및

상기 복수의 맥스 회로들로부터 출력되는 상기 제1 기준 전압들과 상기 제2 기준 전압들의 전류량을 증가시켜 아날로그 영상 신호들을 출력하는 복수의 앰프들을 포함하는 것을 특징으로 하는 LCD의 소스 구동 회로.

【청구항 2】

제1항에 있어서,

상기 복수의 래치 회로들은 두 개의 색신호들인 RG신호, BR신호, GB신호를 각각 래치하는 세 개의 그룹들로 구분되고,

상기 세 개의 그룹들 각각은,

상기 선택 신호에 응답하여 상기 두 개의 색신호들 중 하나를 각각 래치하는 복수의 제1 색신호 래치 회로들; 및

상기 선택 신호에 응답하여 상기 두 개의 색신호들 중 나머지 하나를 각각 래치하는 복수의 제2 색신호 래치 회로들을 포함하는 것을 특징으로 하는 LCD의 소스 구동 회로.

【청구항 3】

제2항에 있어서, 상기 복수의 제1 및 제2 색신호 래치 회로들 각각은,

상기 선택 신호와 상기 래치 신호 중 제1 래치 신호에 응답하여 상기 두 개의 색신호들 중 어느 하나를 래치하고, 그 래치 데이터를 출력하는 제1 래치 회로; 및

상기 래치 신호 중 제2 래치 신호에 응답하여 상기 제1 래치 회로로부터 출력되는 상기 래치 데이터를 래치하여 출력하는 제2 래치 회로를 포함하는 것을 특징으로 하는 LCD의 소스 구동 회로.

【청구항 4】

제3항에 있어서, 상기 제1 래치 회로는,

상기 선택 신호에 응답하여, 상기 두 개의 색신호 입력들 중 어느 하나를 출력하는 게이트부; 및

상기 제1 래치 신호에 응답하여, 상기 게이트부로부터 출력되는 상기 색신호를 래치하는 래치부를 포함하는 것을 특징으로 하는 LCD의 소스 구동 회로.

【청구항 5】

제4항에 있어서, 상기 게이트부는,

상기 선택 신호 중 제1 선택 신호에 응답하여 상기 두 개의 색신호 중 하나를 출력하는 제1 전송 게이트; 및

상기 선택 신호 중 제2 선택 신호에 응답하여 상기 두 개의 색신호 중 다른 하나를 출력하는 제2 전송 게이트를 포함하는 것을 특징으로 하는 LCD의 소스 구동 회로.

【청구항 6】

제5항에 있어서,

상기 제1 선택 신호는 상기 제2 선택 신호가 인에이블 될 때, 디세이블 되는 것을 특징으로 하는 LCD의 소스 구동 회로.

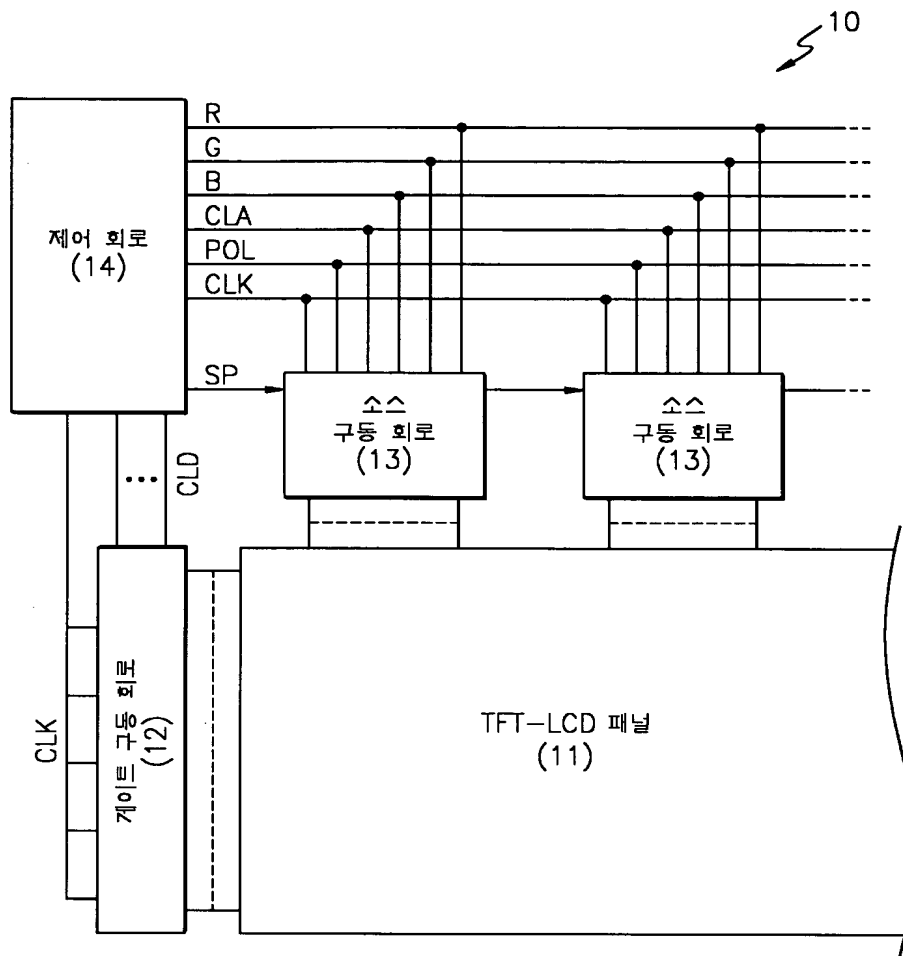
【청구항 7】

제6항에 있어서, 상기 제1 및 상기 제2 선택 제어신호들은,

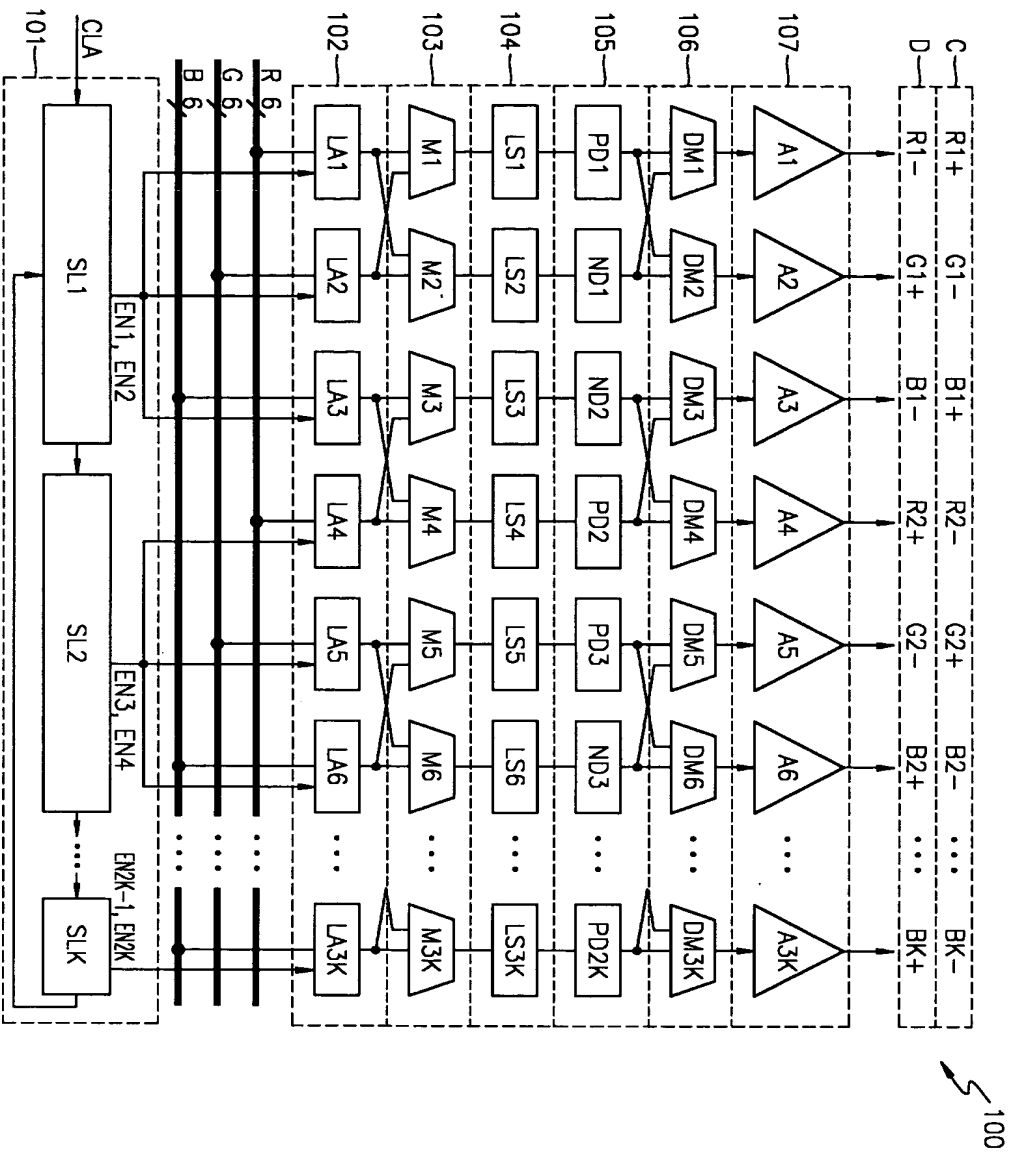
상기 제어 회로로부터 출력되는 상기 제어신호 중 극성 신호에 응답하여 인에이블 또는 디세이블 되는 것을 특징으로 하는 LCD의 소스 구동 회로.

【도면】

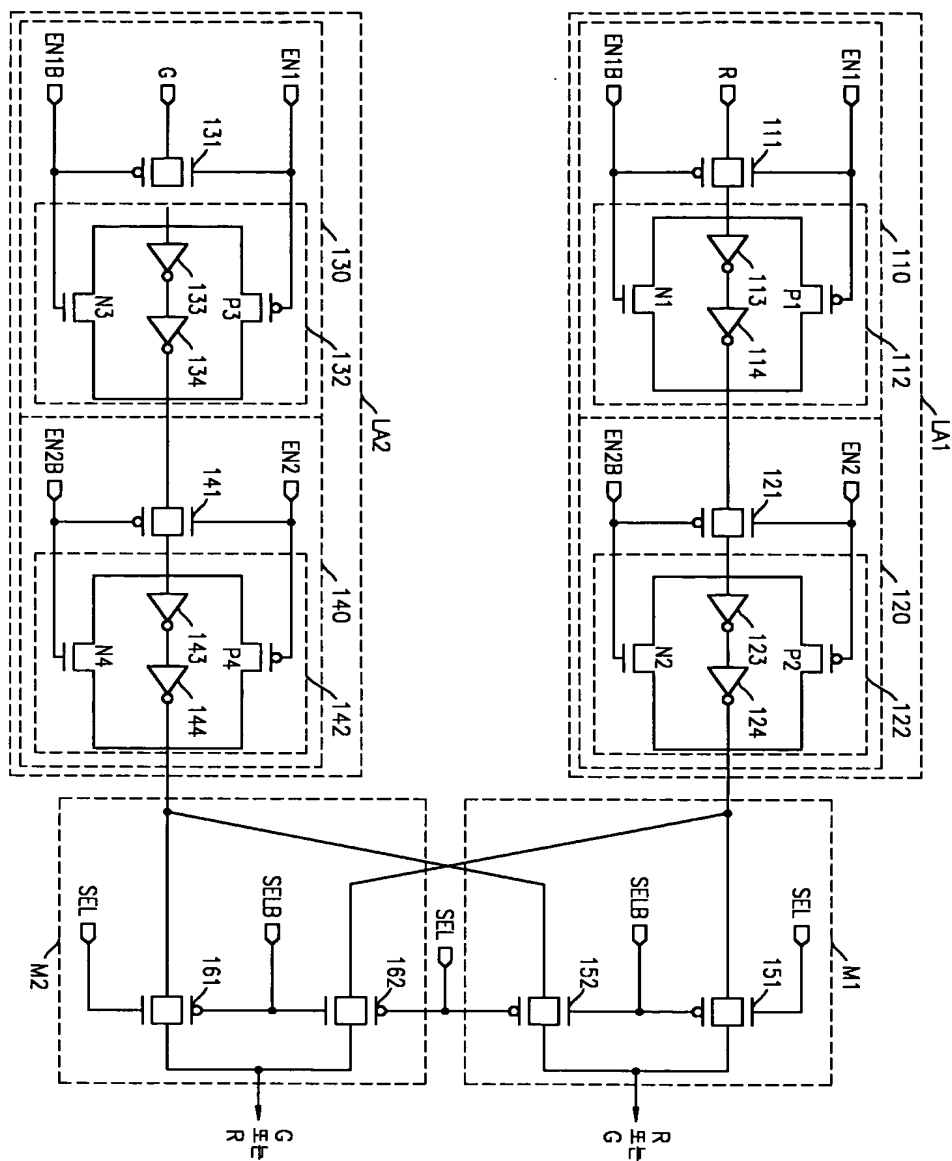
【도 1】



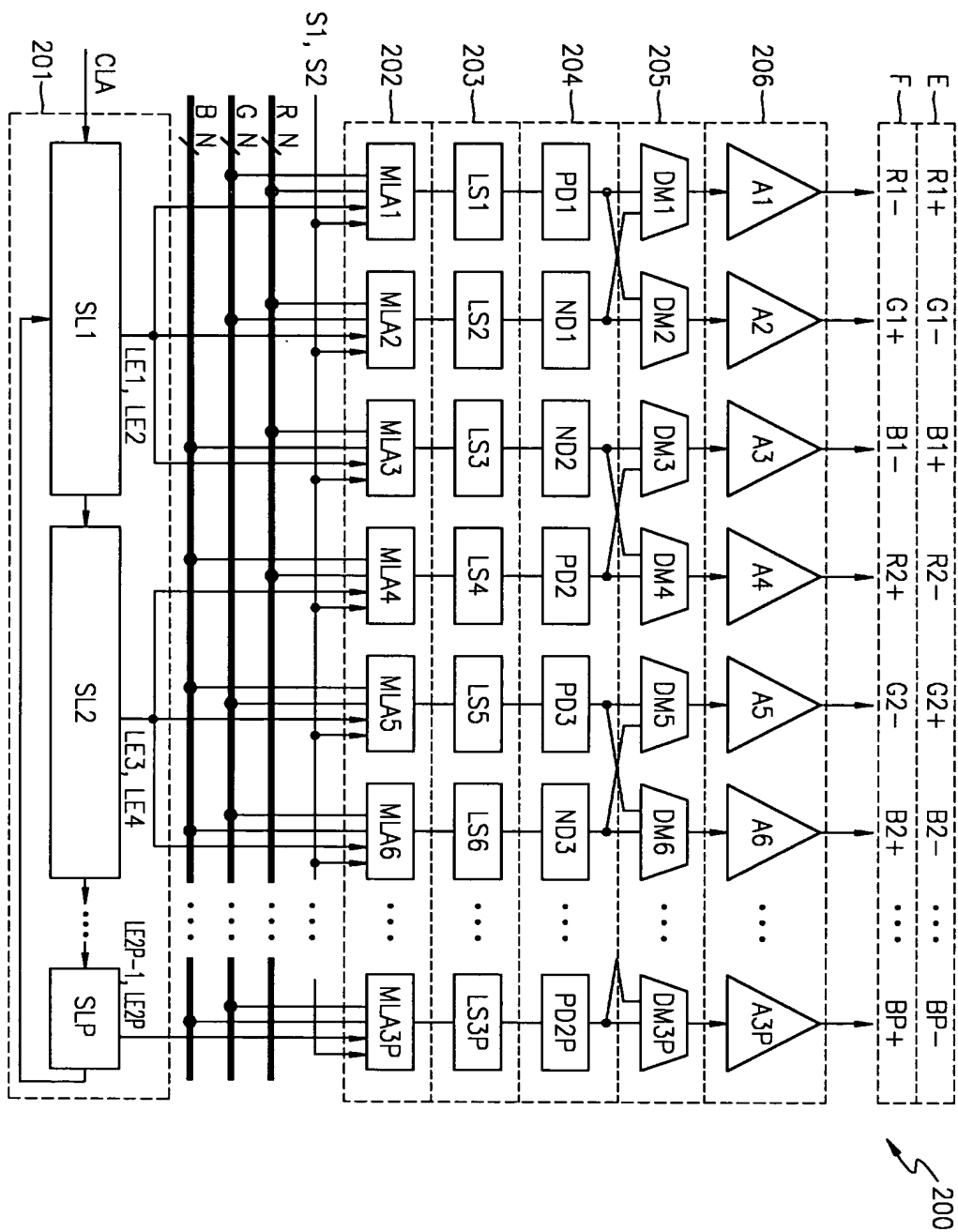
【도 2】



【도 3】



【 4】



【도 5】

